

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年9月9日 (09.09.2005)

PCT

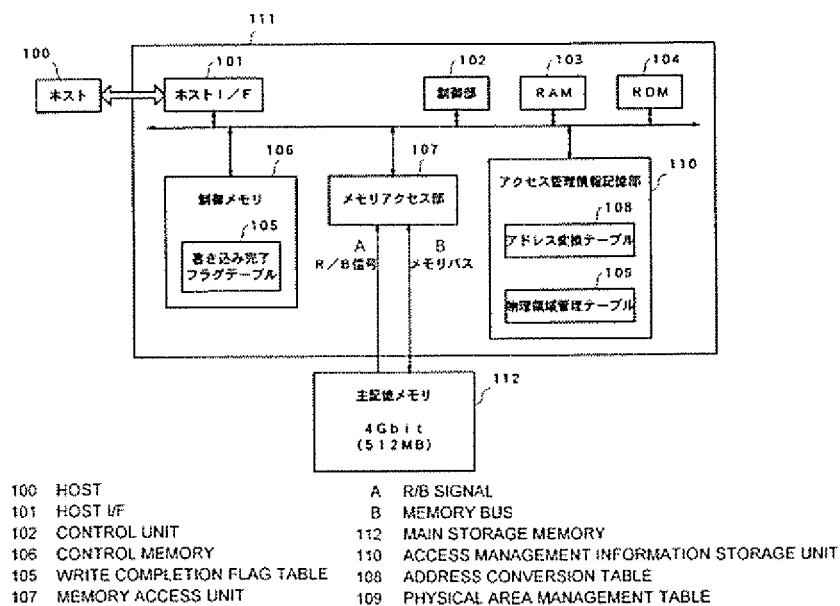
(10) 国際公開番号  
WO 2005/083573 A1

- (51) 国際特許分類<sup>7</sup>: G06F 12/16
- (21) 国際出願番号: PCT/JP2005/003136
- (22) 国際出願日: 2005年2月25日 (25.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-053960 2004年2月27日 (27.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 中西雅浩 (NAKANISHI, Masahiro) [JP/—]. 泉智紹 (IZUMI, Tomoaki) [JP/—]. 笠原哲志 (KASAHARA, Tetsushi) [JP/—]. 田村和明 (TAMURA, Kazuaki) [JP/—]. 松野公則 (MATSUNO, Kiminori) [JP/—]. 井上学 (INOUE, Manabu) [JP/—].
- (74) 代理人: 岡本宜喜 (OKAMOTO, Yoshiki); 〒5770066 大阪府東大阪市高井田本通7-7-1 9 昌利ビル安田岡本特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体メモリ装置



(57) Abstract: A write completion flag table (105) for storing a write completion flag corresponding to a predetermined storage unit such as a cluster or a physical block is stored in a non-volatile control memory (106). When completion of data write into a predetermined storage unit is detected, a write completion flag is written in the corresponding address of the storage unit on the write completion flag table (105). Thus, it is possible to recognize that data has been written normally. Even when the flag indicating completion of write into a page of the write unit of the main storage memory cannot be written, it is possible to improve the write reliability.

(57) 要約: クラスタ又は物理ブロック等の所定の記憶単位に対応した書き込み完了フラグを記憶する書き込み完了フラグテーブル105を不揮発性の制御メモリ106に格納する。そして所定の記憶単位へのデータ書き込みが完了したことを検出し、書き込み完了フラグテーブル105上の対応する記憶単位のアドレスに書き込み完了フラグを書き込む。こうすればデータが正常に書き込まれたこと

[続葉有]



DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### 半導体メモリ装置

### 技術分野

- [0001] 本発明は、半導体を使用したメモリ装置に関し、詳しくは主記憶用の半導体メモリとして不揮発性のメモリを用いた半導体メモリ装置に関するものである。

### 背景技術

- [0002] 半導体メモリ装置の中で、SDメモ리카ードやコンパクトフラッシュ(登録商標)等のメモ리카ードは小型サイズであるので、デジタルスチルカメラ等のポータブル機器の着脱可能なメモリ装置として実用に供されている。
- [0003] 実用に供されている半導体メモリ装置は、通常内部に不揮発性メモリであるフラッシュメモリと、その制御回路であるコントローラLSIが内蔵されている。近年、半導体メモリ装置における大容量化のニーズの高まりに伴い、不揮発性メモリチップ自体も大容量が進みつつある。また実装技術の進歩により半導体メモリ装置に実装される不揮発性メモリのチップ数も増加し、半導体メモリ装置としてのメモリ空間として1GBを超えるものが実用化されている。
- [0004] フラッシュメモリにおけるアドレス管理情報の管理方法として、大別して2通りの方法がある。第1の方法は、メモ리카ードのメモリ領域全体、あるいはメモリ領域全体を所定数に分割した領域毎に、その領域全体に対応するアドレス管理情報をまとめて所定ブロックに記憶させる方法である。このアドレス管理方法は集中型アドレス管理方法と呼ばれる。
- [0005] 第2の方法は、物理ブロックを構成している所定ページ(セクタ)にデータを書き込む際に、管理情報、即ち当該データが有効であるかどうか等を表すステータス情報や論理アドレスをそのページが含まれる物理ブロックの冗長領域に書き込む。そして電源投入時において各物理ブロックに分散して書き込まれた管理情報を読み出して、メモリにアドレス管理テーブルを構築する方法である。この方法を分散型アドレス管理方法という。本発明は分散型アドレス管理方法を前提とするものである。
- [0006] 次に分散型アドレス管理方法による半導体メモリ装置の主記憶メモリの一例につい

て説明する。主記憶メモリとして4Gビット、即ち512Mバイトの容量を持つものとする。主記憶メモリ11は図1に示すように、複数の物理ブロック、例えばPB0ーPB2047までの2048の物理ブロックによって構成される。各物理ブロックのデータ容量は256kB(バイト)とする。この主記憶メモリは、二値のNANDフラッシュメモリとする。

[0007] 図2は1つの物理ブロックを示した説明図である。この例では各物理ブロックはページ0ーページ127までの128ページから構成される。各ページは、セクタ0ーセクタ3までの4セクタのデータ領域と管理領域(MR)とから構成される。1セクタは512Bの容量を有し、各ページは計2048Bのデータ領域を有する。管理領域は64Bの容量を有する。管理領域内にはそのデータの有効や無効を示す状態コード、書き込み完了フラグ、誤り訂正のためのECCコード等が含まれる。ECCコードはそのデータ領域内で1乃至2ビットのエラー訂正機能を有する。この主記憶メモリは二値のNANDフラッシュメモリであるため、ページ単位のみならず、ページ中のセクタのみ、又はセクタの一部の管理領域のみを独立して書き込むことができる。

[0008] さて、図3は1クラスタ(16kB)分のデータの書き込み又は書き換えを示したタイムチャートである。この例では1つの物理ブロックのページ0ーページ7にデータを書き込む。この書き込み時間T1は例えば数m秒である。そしてページ7の書き込みが完了した直後に、図2のページ7の管理領域MRに書き込み完了フラグを書き込む。この書き込み時間T2は例えば200ー300 $\mu$ 秒である。又書き換えをする場合には、ページ0ー7の書き込みに加えて、他のブロックの既に書かれているデータを新しい物理ブロックにコピーする処理を行う。この書き換え時間をT3とする。この後に有効な各クラスタの最終ページであるページ7, 15, ...127に書き込み完了フラグを書き込む(T2)。

[0009] こうすることにより書き込み完了フラグを主記憶メモリに書き込む時間は必要となるが、電源遮断が起きた場合においても、電源遮断後の電源投入時にこの管理領域中の書き込み完了フラグが書き込まれているかどうかで、データの書き込みが成功したか失敗したかを判別することができる。書き込み完了フラグが立てられたページを含むクラスタ又はブロックについては、確実なデータが記録されたものとして取り扱うことができ、信頼性が向上する。(特許文献1参照)

特許文献1:特開2003-15929号公報

発明の開示

発明が解決しようとする課題

[0010] さて最近、1つのメモリセルで2を超える論理状態をとることができるメモリセル、即ち多値のフラッシュメモリとして、多値のNANDフラッシュメモリが注目されている。多値のフラッシュメモリは低コストで大容量化できる品種であるが、書き込み単位であるページに対して分割書き込みができない。即ちページのある領域部分にデータを書き込んだ後に、消去することなく同一ページの別の領域にデータを書き込むことができない。このような制約があるため、主記憶メモリに多値のNANDフラッシュメモリを用いると、従来のようにデータを書き込んだ後に、書き込んだページの管理領域に書き込み完了フラグを書き込むことができない。

[0011] 書き込み完了フラグを書き込まなければ書き込み速度が速くなるが、信頼性が低下することとなり、このため電源遮断対策が困難になる。従って信頼性を確保するためには、データの書き込み先とは異なる物理領域に書き込み完了フラグ領域を設けて、そこに書き込み完了フラグを書き込む必要がある。

[0012] しかし、別の物理領域を設けるとすると、主記憶メモリの容量として512MB(バイト)を使用する場合、数式(1)により32k個の書き込み完了フラグを書き込める領域を確保する必要がある。

$$512\text{MB} \div 16\text{kB} = 32\text{k個} \cdots (1)$$

しかし、書き込み単位であるページの分割書き込みができないので、書き込み完了フラグを1ビットとしても、その1ビット用に1ページ(2kB)分の容量を確保する必要がある。従って、数式(2)により書き込み完了フラグ用に充てる物理ブロックの容量は64MBとなる。

$$32\text{k個} \times 2\text{kB} = 64\text{MB} \cdots (2)$$

そのため主記憶メモリにおいてデータを記憶させるための使用可能領域が大幅に減ってしまうという問題が生じる。

[0013] 本発明は、不揮発性メモリを主記憶メモリとし、分散型の管理方法を用いる半導体メモリ装置において、信頼性を高く保ちつつ高速に書き込みができるようにすることを

解決すべき課題とする。

課題を解決するための手段

- [0014] 本発明による半導体メモリ装置は、第1の記憶容量のデータ領域とデータ管理領域から成る複数の記憶容量単位で構成された記憶領域を有する不揮発性の主記憶メモリと、前記主記憶メモリのアドレス管理情報を記憶するアドレス管理情報記憶部と、前記主記憶メモリに対して第2の記憶容量単位毎に設けられ、データ書き込みが完了したときに立てられる書き込み完了フラグから成る書き込み完了フラグテーブルを記憶する不揮発性の制御メモリと、ホストからデータ読み書き指示に応じて前記主記憶メモリに対してデータの読み書き制御を行うと共に、前記アドレス管理情報記憶部及び前記制御メモリの更新制御を行う制御部と、を備えたものである。
- [0015] ここで前記第2の記憶容量単位はクラスタサイズであり、前記制御メモリは、ホストのファイルシステムで規定されたクラスタサイズ毎に1ビット以上の書き込み完了フラグから成る書き込み完了フラグテーブルを記録するようにしてもよい。
- [0016] ここで前記第2の記憶容量単位はセクタサイズであり、前記制御メモリは、ホストのファイルシステムで規定されたセクタサイズ毎に1ビット以上の書き込み完了フラグから成る書き込み完了フラグテーブルを記録するようにしてもよい。
- [0017] 前記第2の記憶容量単位は物理ブロックサイズとし、前記制御メモリは、前記主記憶メモリのN個(Nは1以上の整数)の物理ブロックの容量毎に1ビット以上の書き込み完了フラグから成る書き込み完了フラグテーブルを記録するようにしてもよい。
- [0018] 前記制御メモリは、書き込み速度が前記主記憶メモリより速いものとしてもよい。
- [0019] 前記制御部は、予め記憶された第2の記憶容量単位に基づき、初期化時もしくは工場出荷時に、書き込み完了フラグテーブルのメモリマップを構成するようにしてもよい。
- [0020] 前記制御部は、ホストから転送された第2の記憶容量単位に基づき、初期化時もしくは工場出荷時に、書き込み完了フラグテーブルのメモリマップを構成するようにしてもよい。
- [0021] 前記主記憶メモリは、多値型のNANDフラッシュメモリとしてもよい。
- [0022] 前記アドレス管理情報記憶部は、前記主記憶メモリの記憶容量単位毎の状態を記

憶する物理領域管理テーブルと、ホストのファイルシステムで規定されるアドレスと前記主記憶メモリの記憶容量単位のアドレスを変換するアドレス変換テーブルとを有するようにしてもよい。

- [0023] ここで前記制御メモリは、強誘電体メモリ(FeRAM)、磁性記録式随時書き込み読み出しメモリ(MRAM)、オボニックユニファイドメモリ(OUM)、レジスタンスRAM(RRAM)としてもよい。

### 発明の効果

- [0024] 本発明では主記憶メモリへのデータの書き込みに対応して、制御メモリに書き込み完了フラグを書き込むようにした。そのため主記憶メモリへのデータ書き込み中に電源遮断が起きても、その直後の電源投入時に制御メモリの対応する書き込み完了フラグの有無を調べることにより、電源遮断前にデータが正しく書き込めたかどうかを判断することができる。また制御メモリは、1バイト単位以下での書き込み速度が主記憶メモリより速い書き込み速度のメモリを用いることにより、従来の半導体メモリ装置よりも高速な書き込み処理が実現できる。

### 図面の簡単な説明

- [0025] [図1]図1は従来の半導体メモリ装置の主記憶メモリの構成を示す図である。
- [図2]図2は従来の主記憶メモリの物理ブロックの構成を示す図である。
- [図3]図3は従来の1クラスタ分の書き込み及び書き換えを示したタイムチャートである。
- [図4]図4は本発明の実施の形態における半導体メモリ装置の全体構成図である。
- [図5]図5は本実施の形態における物理ブロックの説明図である。
- [図6]図6は本実施の形態における論理アドレスフォーマットの説明図である。
- [図7]図7は本実施の形態における書き込み完了フラグテーブルの説明図である。
- [図8]図8は本実施の形態におけるアドレス変換テーブルの説明図である。
- [図9]図9は本実施の形態における物理管理領域テーブルの説明図である。
- [図10]図10は本実施の形態における1クラスタ分の書き込み又は書き換えを示したタイムチャートである。
- [図11]図11は本実施の形態における1クラスタの分書き換え動作を示した説明図で

ある。

[図12]図12は他の実施の形態における書き込み完了フラグテーブルの説明図である。

#### 符号の説明

- [0026] 100 ホスト  
102 制御部  
103 RAM  
104 ROM  
105 書き込み完了フラグテーブル  
106 制御メモリ  
107 メモリアクセス部  
108 アドレス変換テーブル  
109 物理領域管理テーブル  
110 アドレス管理情報記憶部  
111 メモリコントローラ  
112 主記憶メモリ

#### 発明を実施するための最良の形態

[0027] 本発明の実施の形態による半導体メモリ装置について、図面を参照しつつ説明する。図4は、本実施の形態における半導体メモリ装置の全体構成図である。半導体メモリ装置はメモリコントローラ111及び主記憶用の不揮発性メモリ(以下、単に主記憶メモリという)112により構成される。ホスト100は、メモリコントローラ111を介して主記憶メモリ112にユーザデータ(以下、データという)の読み書き命令及び読み書きアドレスとデータとを転送するアクセス装置である。メモリコントローラ111は、ホストI/F101、制御部102、RAM103、ROM104、制御用不揮発性メモリ(以下、単に制御メモリという)106、メモリアクセス部107、アドレス管理情報記憶部110を含んで構成される。

[0028] 次に主記憶メモリ112について説明する。この実施の形態においては、主記憶メモリ112は4Gビット、即ち512Mバイトの容量を持つ。主記憶メモリ112は図1に示すよ



うに、複数の物理ブロック、例えばPB0ーPB2047までの2048の物理ブロックによって構成される。各物理ブロックのデータ容量は256kB(バイト)とする。この主記憶メモリ112は、多値のNANDフラッシュメモリとする。

[0029] 図5は本実施の形態における物理ブロックを示した説明図である。各物理ブロックはページ0ーページ127までの128ページから構成される。各ページは、セクタ0ーセクタ3までの4セクタのデータ領域と管理領域(MR)とから構成される。1セクタは512Bの容量を有し、各ページは2048Bの容量のデータ領域を有する。ここでは1ページ分のデータ容量単位を第1の容量単位とし、その容量単位に対応して管理領域を有する。管理領域は64Bの容量を有する。管理領域内にはそのデータの有効や無効を示す状態コード、誤り訂正のためのECCコードが含まれるが、書き込み完了フラグは含まれていない。この主記憶メモリ112は多値のNANDフラッシュメモリであるため、ページ単位でのみ書き込みが可能であり、ページ中のセクタのみ、又はセクタの一部の管理領域のみを独立して書き込むことができない。

[0030] 図6は本実施の形態における論理アドレスフォーマットを示した説明図である。図6において下位ビットから順に、セクタナンバー、ページナンバー、論理ブロックナンバー(LBN)であり、論理ブロックナンバーに対応する11ビット分がアドレス変換の対象、即ちアドレス変換テーブル108のアドレスに相当する。なおホスト100のファイルシステムで規定されるセクタサイズを512B、クラスタサイズを16kBとすると、クラスタナンバーのLSBは論理アドレスフォーマットのビットb5に対応する。

[0031] 制御部102はメモリコントローラ111内の全体制御、ホスト100からのデータ読み書き指示に応じてメモリアクセス部107に対しデータの読み書き制御を行うと共に、アドレス管理情報記憶部110と制御メモリ106の更新制御を行うものであり、CPUを含んで構成される。RAM103は制御部102のワーク用のRAMである。ROM104は制御部102が実行するプログラムを格納したROMである。制御メモリ106は書き込み完了フラグテーブル105を記憶する不揮発性メモリである。制御メモリ106は、1ビット単位又は1バイト単位以下での書き込み速度が主記憶メモリ112より速いものであることが好ましい。制御メモリ106は、例えば強誘電体メモリ(FeRAM)、磁気記録式随時書込読出メモリ(MRAM)、オボニックユニファイドメモリ(OUM)、又はレジスタン

スRAM(RRAM)を用いることができる。ここでは制御メモリ106としてFeRAMを使用する。一般のフラッシュメモリと比較してFeRAMは、オーバーライトが可能、即ち書換時に消去等が不要であり、少容量、例えば1ビット又は1バイト単位での書き込み速度が速いという利点がある。

[0032] 制御メモリ106の書き込み完了フラグテーブル105は、ホスト100が転送したデータを主記憶メモリ112に書き込んだ直後に、対応する論理アドレスに書き込み完了フラグを書き込むためのテーブルである。

[0033] 図7は本実施の形態における書き込み完了フラグテーブル105を示す説明図である。書き込み完了フラグは第2の記憶容量単位毎に立てられ、その単位への書き込みを示すものであり、図7は第2の記憶容量単位、ここでは1クラスタ(16kB)、即ち8ページ毎にフラグを書き込む場合を示す。即ち書き込み完了フラグがクラスタ単位で記録されているので、1つの論理ブロックに対応する書き込み完了フラグは2バイト分ある。この場合、書き込み完了フラグテーブル105、即ち制御メモリ106は4kBの容量である。32kクラスタ分の書き込み完了フラグ(1ビット)はバイト0のb0から順番にクラスタ順に配列させる。そして対応するクラスタのデータが主記憶メモリ112に書き込まれた直後に、対応するビットに値「1」を書き込むものとする。

[0034] 次にメモリコントローラ111内のメモリアクセス部107は、主記憶メモリ112の読み書き及び消去制御を行うアクセス部である。

[0035] 次にアドレス管理情報記憶部110は、アドレス変換テーブル108と物理領域管理テーブル109を一時記憶するメモリである。このメモリはRAM等の揮発性メモリでも不揮発性メモリでも良い。

[0036] 図8は本実施の形態におけるアドレス変換テーブル108の説明図である。アドレス変換テーブル108はホスト100が転送した論理アドレスを、主記憶メモリ112内の物理アドレスに変換するテーブルである。図8において、そのアドレスはホスト100が指定した論理アドレスの論理ブロックナンバー(LBN)に対応し、アドレス変換テーブル108内には当該アドレスに対する物理ブロックナンバー(PBN)が記憶されている。

[0037] 図9は本実施の形態における物理管理領域テーブル109の説明図である。物理領域管理テーブル109は主記憶メモリ112内の物理領域、例えば消去単位である物理

ブロックの状態を記憶するテーブルである。物理ブロックの状態とは、例えば有効データが書き込まれているどうか等を示すものである。図9において物理領域管理テーブル109のアドレスは、主記憶メモリ112の各物理ブロックナンバーPSNに対応し、各物理ブロックの状態を記憶する。2進数で値「00」は有効なデータが記憶されている有効ブロックを示す。値「11」は消去済みブロック又はデータが書き込まれているが不要である無効ブロックを示す。値「10」はメモリセル上のソリッドエラー等により使用できなくなった不良ブロックを示す。

[0038] まず、本半導体メモリ装置の出荷直後における主記憶メモリ112や各種テーブルの内容について説明する。なお簡単のため、主記憶メモリ112内のシステム領域については説明を省略し、通常領域、即ちユーザがデータを読み書きする領域についてのみ説明する。制御部102は、ROM104や主記憶メモリ112等に予め記憶された所定の記憶容量単位に基づき、初期化時もしくは工場出荷時に、書き込み完了フラグテーブルのメモリマップを構成する。この場合はクラスタ単位に図7に示すように書き込み完了フラグテーブル105のメモリマップを構成する。初期化時若しくは工場出荷時には、書き込み完了フラグテーブル105は全ビット、値「0」となっている。

[0039] また主記憶メモリ112の良ブロックは全て消去された状態となっている。物理領域管理テーブル109の良ブロックは無効ブロック状態、2進数で「11」となり、初期不良ブロックは不良ブロック、2進数で「10」となっている。アドレス変換テーブル108は全ビット、値「0」となっている。因みにどんな値をとっても差し支えない。

[0040] この半導体メモリ装置の動作について説明する。この実施の形態による半導体メモリ装置は、分散型のアドレス管理方法をとるため、電源投入時には主記憶メモリ112の各物理ブロックの管理領域に保持されている管理情報を読み出す。そしてアドレス管理情報記憶部110に2つのテーブル108, 109を構成する。

[0041] 次に、1クラスタの書き込み毎に書き込み完了フラグを記憶する場合について説明する。ホスト100からの読み書き等のコマンド受付状態に入った後、ホスト100から任意の論理アドレスへの書き込み指示がなされる。なお通常ホスト100はクラスタ単位で書き込む場合が多いので、以降クラスタ単位での書き込みについて説明する。

[0042] 図10(A)は本実施の形態における1クラスタ分の書き込みを示したタイムチャート

である。ホスト100はメモリコントローラ111に任意のクラスタの書き込み指示及び対応する論理アドレスを転送する。ホスト100から任意のクラスタの書き込み命令が転送されると、そのクラスタが含まれる論理ブロックに対応する2バイト分の書き込み完了フラグのビットをリセットし、値「0」とする。制御部102は物理領域管理テーブル109の0番地側から降順に無効ブロックをサーチし、最初に見つかった無効ブロックを書き込み対象ブロックとし、主記憶メモリ112のその物理ブロックを消去した後に送られてきたデータを書き込む。この書き込み時間T11は数msである。

[0043] 図10において主記憶メモリ112からフィードバックされるビジー信号(R/B信号)の立ち上がりに基づき、一連の書き込み動作が完了した時刻t1の直後の時刻t2に、制御部102は書き込み完了フラグテーブル105の対応するビットに値「1」を書き込む。制御メモリ106にFeRAMを用いているので、この書き込み時間T12は100ns程度である。

[0044] 一方書き込み対象となるクラスタを含む論理ブロックナンバーに対応する物理ブロックが有効ブロックとなっていれば、その論理ブロックの他のページにデータが既に書き込まれていると判断する。図11は1クラスタ分の書き換えを示した説明図である。図11において、物理ブロックPBiはページ0〜ページ127に全てデータが書き込まれている物理ブロックとする。この物理ブロックPBiの1クラスタ分、ページ0〜7を書き換える場合について説明する。物理ブロックPBjは書き換えのために用意された新たな物理ブロックであり、無効なデータが書き込まれている物理ブロックとする。この場合には書き込む対象となる物理ブロックPBjのページ0〜7に1クラスタ分の新たなデータを書き込む。続いて既存の物理ブロックPBiのページ8〜127までの120ページ分を物理ブロックPBjにコピーする。このとき書き込み完了フラグは、残りのページのコピーが必要か否かを制御部102が判断するために用いられる。

[0045] 図10(B)においてT21は主記憶メモリ112のページ0〜7への書き込み時間であり、これは例えば数m秒である。そしてこの終了後にページ8〜127までの120ページ分のコピーを行う。この書き込み時間T22は例えば数十m秒である。制御部102は主記憶メモリ112からフィードバックされるビジー信号(R/B)の立上りに基づき、一連の書き込み動作が終了した時刻t3の直後の時刻t4に書き込み完了フラグを書き

込み完了フラグテーブル105に書き込む。この書き込み時間T23は100ns程度である。このフラグの書き込みは127ページ分の全ての物理ブロックに書き込みがなされているため、各クラスタに相当するビットに1を立てて書き込み完了フラグとする。

[0046] 以上のように書き込み完了フラグテーブル105を不揮発性メモリ上に、クラスタに対応したビット配列にマッピングし、一連の書き込み動作が完了した後に書き込み完了フラグを書き込み完了フラグテーブル105に書き込むようにした。このため、データの書き込み中において電源遮断等が発生しても、電源遮断後の初期化時に制御部102が書き込み完了フラグテーブル105の内容を調べることにより、正常にデータが書かれたかどうかを判別することができる。

[0047] 次に電源投入時に書き込み完了フラグを用いて書き込みの信頼性を確認する処理について説明する。まず制御部102は物理領域管理テーブル109を検索し、有効な物理ブロックを調べる。そしてアドレス変換テーブル109より有効な物理ブロックアドレスに対応する有効な論理ブロックアドレスを検索する。次いで有効な論理ブロックに対応する書き込み完了フラグテーブル105を調べる。このとき書き込み完了フラグがクラスタ単位で記録されているので、1つの論理ブロックに対応する書き込み完了フラグは2バイト分ある。そこで上位のバイト(バイト0)から2バイトずつ論理ブロックアドレス0, 1, 2...の順に書き込み完了フラグテーブル105を検索する。そして有効な論理ブロックアドレスに対応する書き込み完了フラグテーブルの2バイトの組が全て「0」の場合には、その論理ブロックはデータが書き込まれている最中に電源遮断が生じて正しくデータが書き込まれていない可能性があると判断する。この場合はその論理ブロックは無効な論理ブロックとする。即ちアドレス変換テーブル108に基づいて対応する物理ブロックアドレスを調べ、物理領域管理テーブル109の物理ブロックの状態を無効状態とする。

[0048] こうすれば書き込み単位であるページに分割書き込みできない不揮発性メモリを主記憶メモリ112として使用した場合においても、データとしての使用可能領域を大幅に削減することなく、簡単な回路構成で信頼性の高い半導体メモリ装置を提供できる。

[0049] また書き込み完了フラグテーブル105を、FeRAMのような少容量(少なくとも1ビット

トー1バイト)での書き込み速度が速い不揮発性メモリに備えることとすれば、書き込み完了フラグの書き込み時間を短縮でき、全体の書き込み速度を向上させることができる。

[0050] なお、本実施の形態においては、書き込み完了フラグを記録する第2の記憶容量単位は図7に示すようにクラスタ単位としたが、図12に示すように物理ブロック(256kB)単位とし、この単位で書き込み完了フラグを書き込むようにしてもよい。また第2の記憶容量単位をセクタ単位やページ単位としてこの単位で書き込み完了フラグを書き込むようにしてもよい。

[0051] また本実施の形態では、不揮発性の主記憶メモリ112として、多値のNANDフラッシュメモリを用いているが、主記憶メモリとして二値型のNANDフラッシュメモリやAGAND型フラッシュメモリを用いてもよい。又フラッシュメモリ以外の不揮発性メモリを用いてもよい。また主記憶メモリ112は、複数の不揮発性メモリチップを内蔵してもよい。

[0052] 本実施の形態では、予め記憶された記憶容量単位に基づき初期化時もしくは工場出荷時に書き込み完了フラグテーブルのメモリマップを構成している。これに代えて、所定の記憶容量単位の値をホストが転送し、書き込み完了フラグテーブルの構成を決定するようにしてもよい。

#### 産業上の利用可能性

[0053] 本発明にかかる半導体メモリ装置は、特に大容量の不揮発性メモリを主記憶メモリとして用いたメモリ装置において、簡単な回路で高信頼性と高速処理化を図ることができる。このため、半導体メモリ装置を使用した機器、例えば静止画記録再生装置や動画記録再生装置、あるいは携帯電話等の種々の機器において有益である。

### 請求の範囲

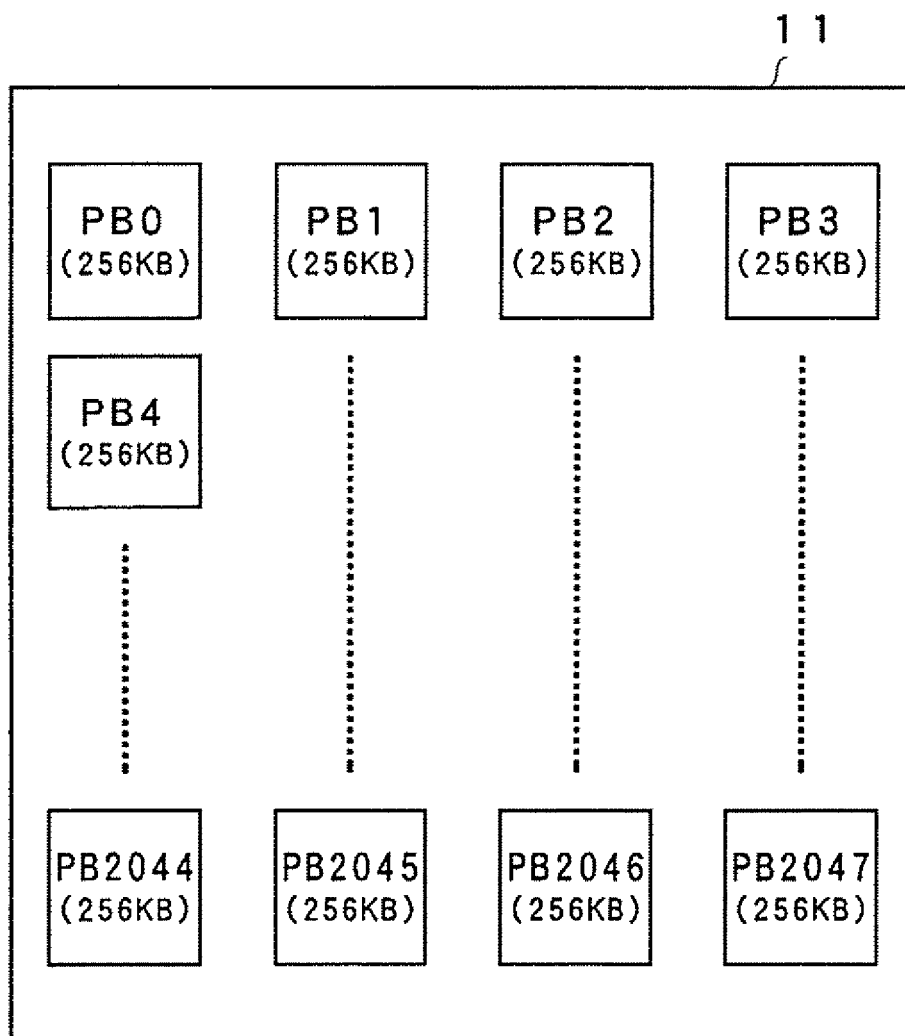
- [1] 第1の記憶容量のデータ領域と管理領域から成る複数の記憶容量単位で構成された記憶領域を有する不揮発性の主記憶メモリと、  
前記主記憶メモリのアドレス管理情報を記憶するアドレス管理情報記憶部と、  
前記主記憶メモリに対して第2の記憶容量単位毎に設けられ、データ書き込みが完了したときに立てられる書き込み完了フラグから成る書き込み完了フラグテーブルを記憶する不揮発性の制御メモリと、  
ホストからデータ読み書き指示に応じて前記主記憶メモリに対してデータの読み書き制御を行うと共に、前記アドレス管理情報記憶部及び前記制御メモリの更新制御を行う制御部と、を備えた半導体メモリ装置。
- [2] 前記第2の記憶容量単位はクラスタサイズであり、  
前記制御メモリは、ホストのファイルシステムで規定されたクラスタサイズ毎に1ビット以上の書き込み完了フラグから成る書き込み完了フラグテーブルを記録する請求項1記載の半導体メモリ装置。
- [3] 前記第2の記憶容量単位はセクタサイズであり、  
前記制御メモリは、ホストのファイルシステムで規定されたセクタサイズ毎に1ビット以上の書き込み完了フラグから成る書き込み完了フラグテーブルを記録する請求項1記載の半導体メモリ装置。
- [4] 前記第2の記憶容量単位は物理ブロックサイズとし、  
前記制御メモリは、前記主記憶メモリのN個(Nは1以上の整数)の物理ブロックの容量毎に1ビット以上の書き込み完了フラグから成る書き込み完了フラグテーブルを記録する請求項1記載の半導体メモリ装置。
- [5] 前記制御メモリは、書き込み速度が前記主記憶メモリより速い請求項1記載の半導体メモリ装置。
- [6] 前記制御部は、予め記憶された第2の記憶容量単位に基づき、初期化時もしくは工場出荷時に、書き込み完了フラグテーブルのメモリマップを構成する請求項1記載の半導体メモリ装置。
- [7] 前記制御部は、ホストから転送された第2の記憶容量単位に基づき、初期化時もし

くは工場出荷時に、書き込み完了フラグテーブルのメモリマップを構成する請求項1記載の半導体メモリ装置。

- [8] 前記主記憶メモリは、多値型のNANDフラッシュメモリである請求項1記載の半導体メモリ装置。
- [9] 前記アドレス管理情報記憶部は、前記主記憶メモリの記憶容量単位毎の状態を記憶する物理領域管理テーブルと、ホストのファイルシステムで規定されるアドレスと前記主記憶メモリの記憶容量単位のアドレスを変換するアドレス変換テーブルとを有する請求項1記載の半導体メモリ装置。
- [10] 前記制御メモリは、強誘電体メモリ(FeRAM)である請求項1記載の半導体メモリ装置。
- [11] 前記制御メモリは、磁性記録式随時書き込み読み出しメモリ(MRAM)である請求項1記載の半導体メモリ装置。
- [12] 前記制御メモリは、オボニックユニファイドメモリ(OUM)である請求項1記載の半導体メモリ装置。
- [13] 前記制御メモリは、レジスタンスRAM(RRAM)である請求項1記載の半導体メモリ装置。



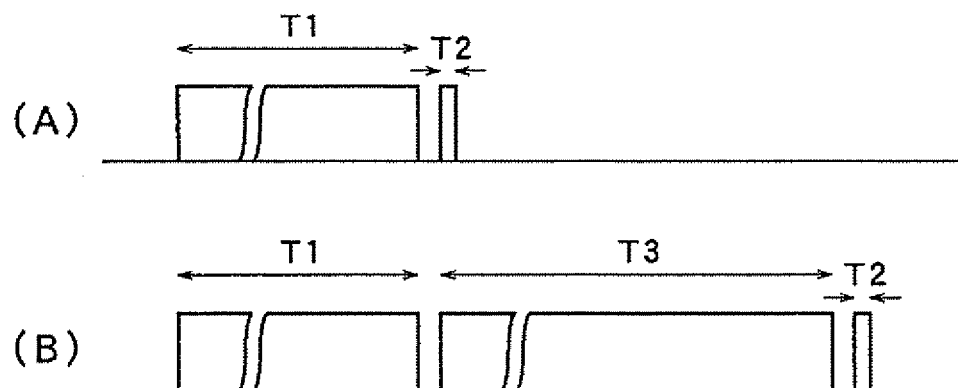
[図1]



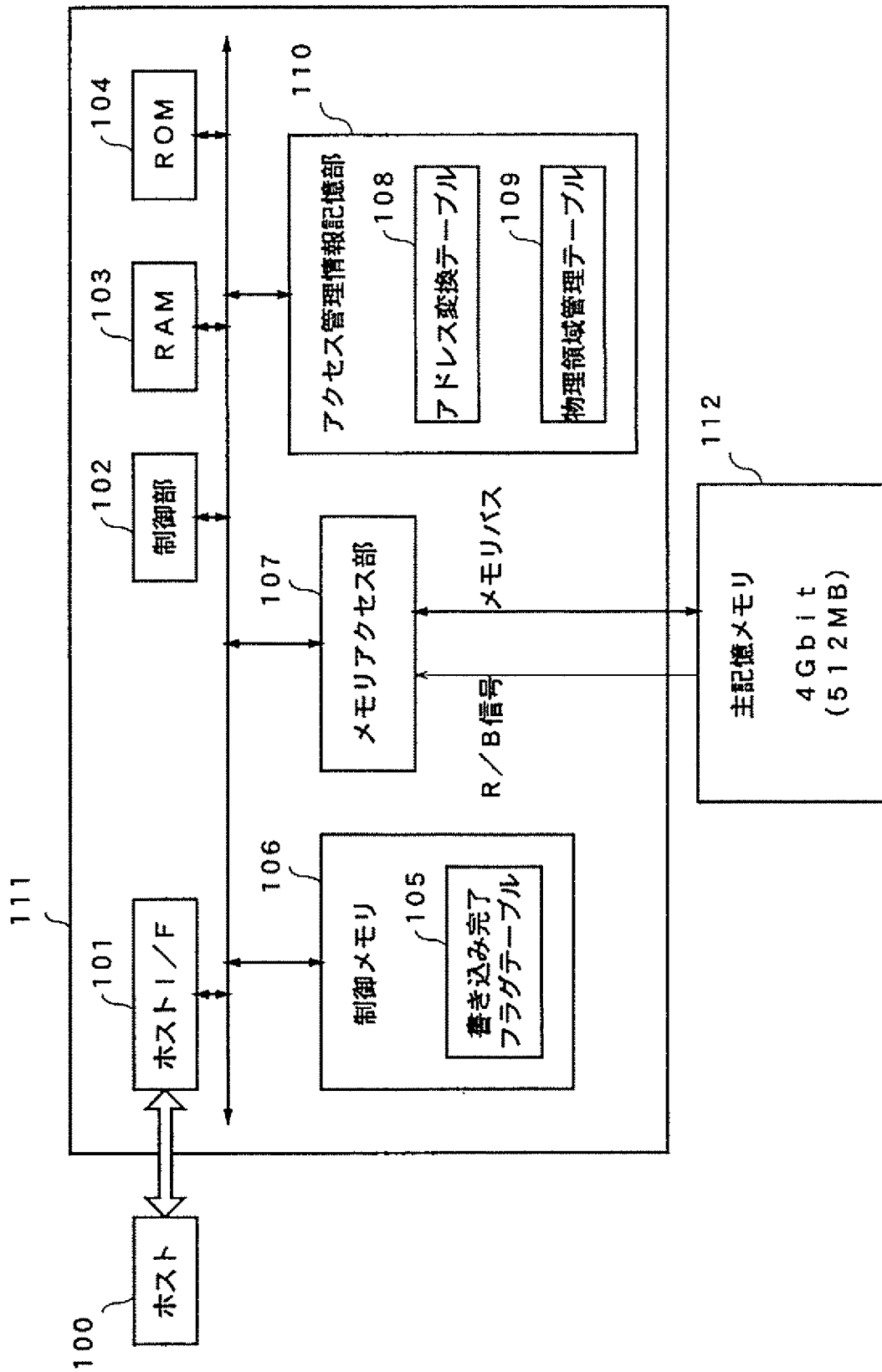
[図2]

ページ0	0	1	2	3	MR
ページ1	0	1	2	3	MR
⋮					
ページ126	0	1	2	3	MR
ページ127	0	1	2	3	MR

[図3]



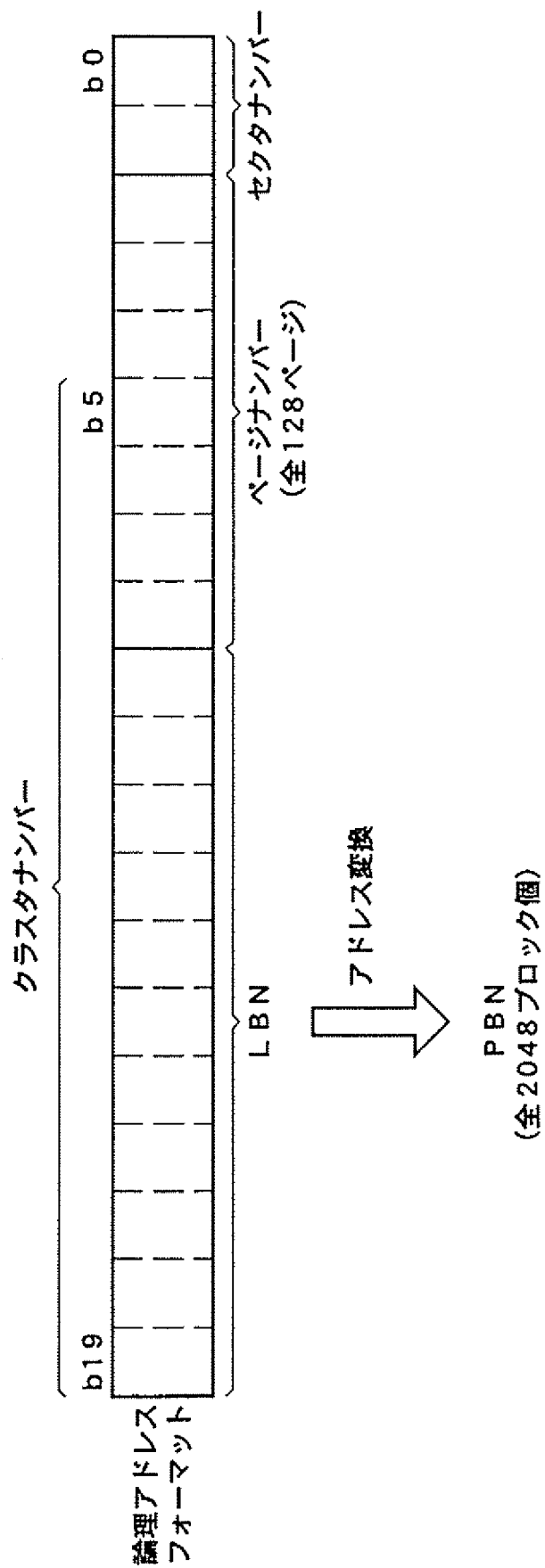
[図4]



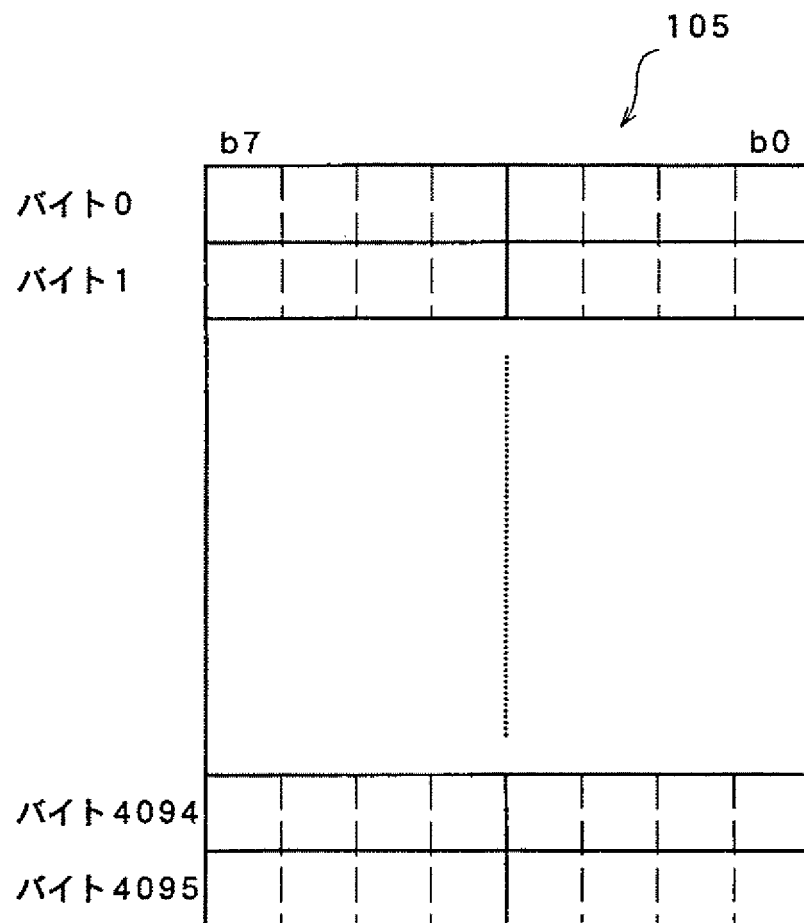
[図5]

ページ0	0	1	2	3	MR
ページ1	0	1	2	3	MR
<div></div>					
ページ126	0	1	2	3	MR
ページ127	0	1	2	3	MR

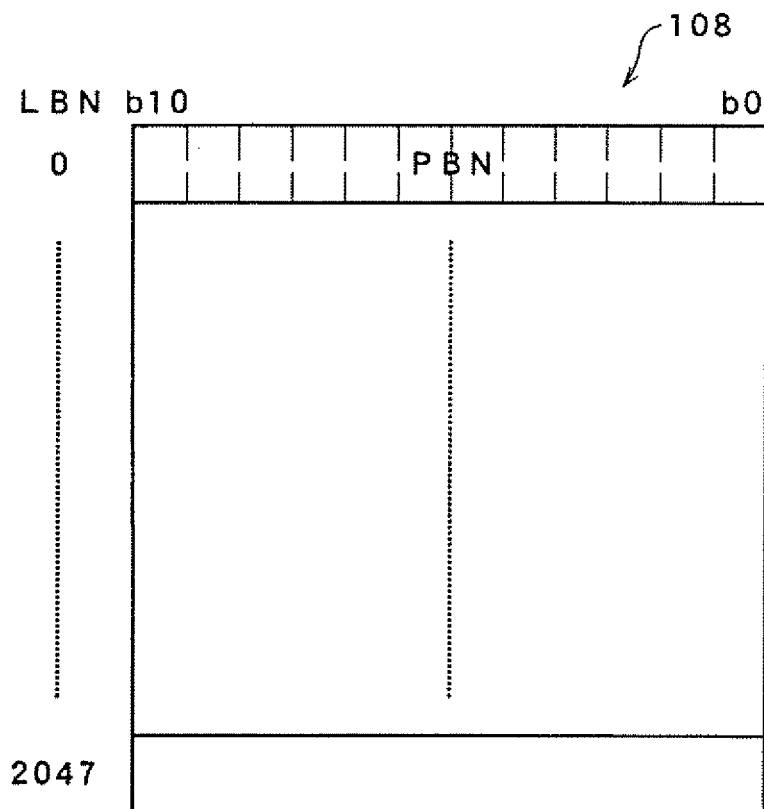
[図6]



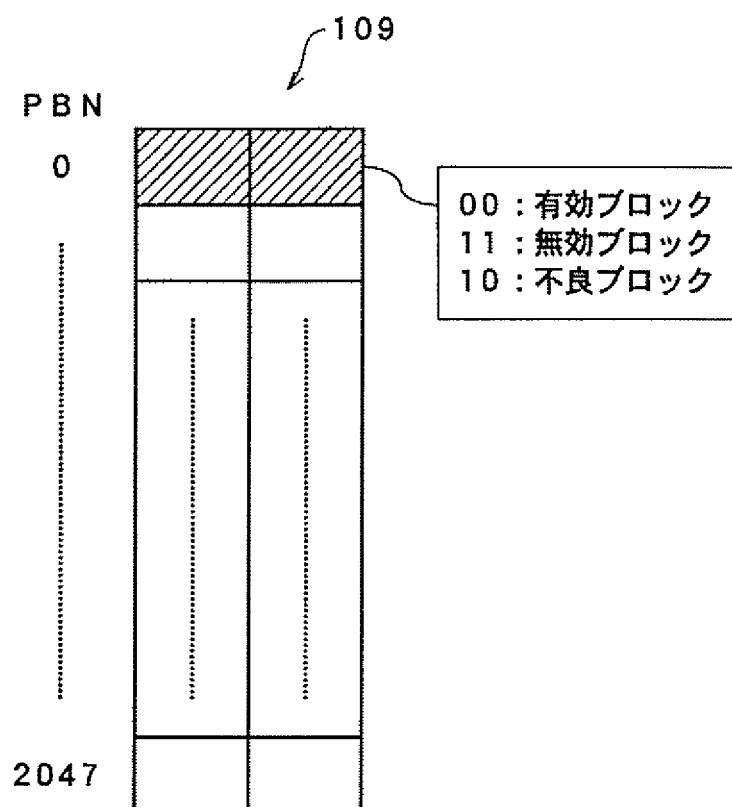
[図7]



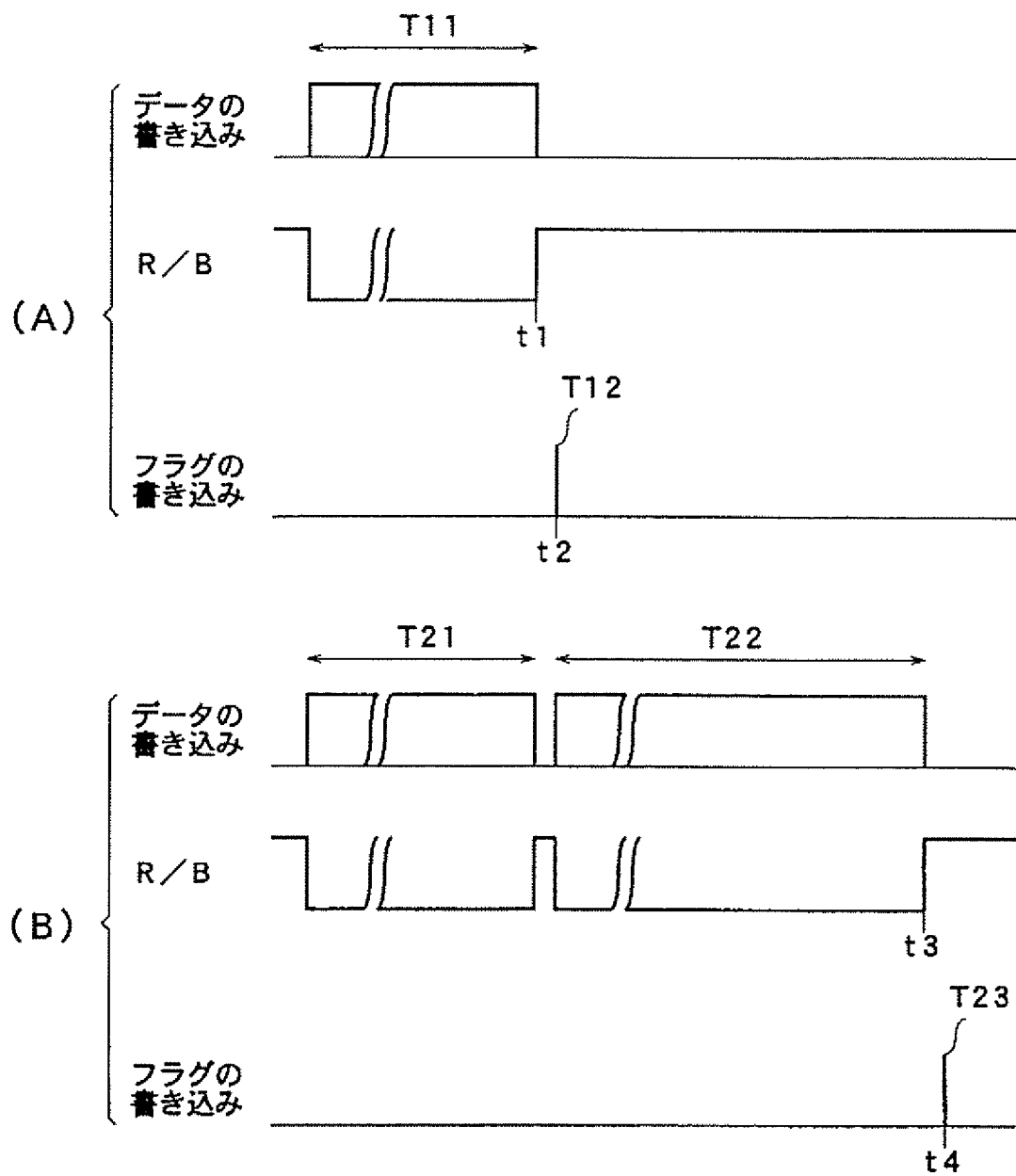
[図8]



[図9]

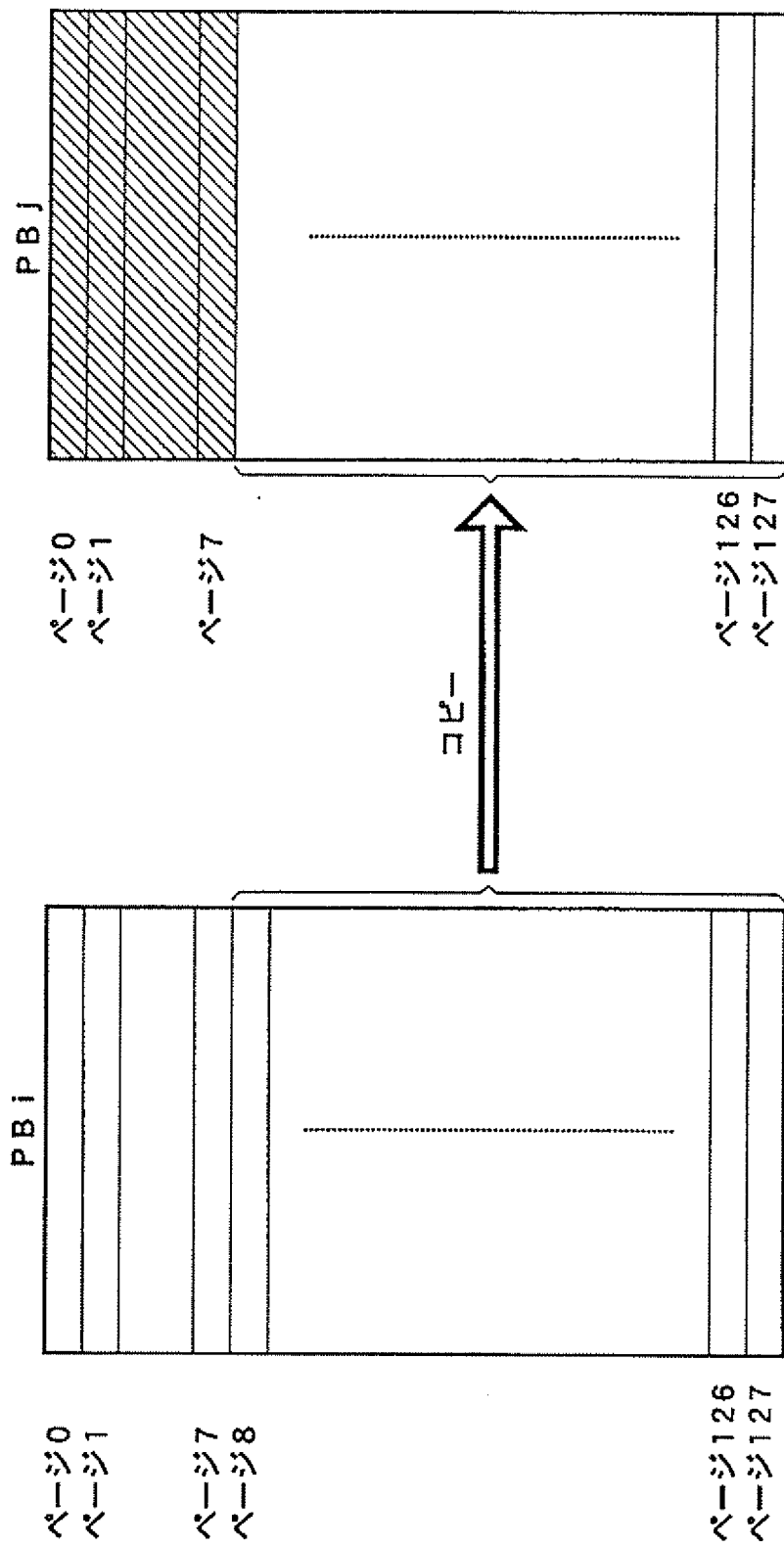


[図10]





[図11]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/003136

## A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.<sup>7</sup> G06F12/16

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.<sup>7</sup> G06F12/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-5928 A (Hitachi Maxell, Ltd.), 12 January, 2001 (12.01.01), Full text; all drawings (Family: none)	1-13
A	JP 2003-15929 A (Matsushita Electric Industrial Co., Ltd.), 17 January, 2003 (17.01.03), Full text; all drawings & US 2003-189860 A1 & EP 1403771 A1 & WO 03-3219 A1 & CA 2420986 A & CN 1465012 T	1-13

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

06 April, 2005 (06.04.05)

Date of mailing of the international search report

26 April, 2005 (26.04.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F12/16

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06F12/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-5928 A (日立マクセル株式会社) 2001.01.12, 全文, 全図 (ファミリーなし)	1-13
A	JP 2003-15929 A (松下電器産業株式会社) 2003.01.17, 全文, 全図 & US 2003-189860 A1 & EP 1403771 A1 & WO 03-3219 A1 & CA 2420986 A & CN 1465012 T	1-13

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

06.04.2005

国際調査報告の発送日

26.4.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号 100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

丹治 彰

5N

8320

電話番号 03-3581-1101 内線 3586